

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

[First Hit](#)



Generate Collection

L1: Entry 392 of 443

File: DWPI

Nov 14, 2003

DERWENT-ACC-NO: 2003-872132

DERWENT-WEEK: 200381

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: High-frequency amplifier for mobile telephone, consists of coupler integrated with matching circuit and arranged on substrate containing gallium arsenide chip

PATENT-ASSIGNEE:

ASSIGNEE

CODE

MATSUSHITA DENKI SANGYO KK

MATU

PRIORITY-DATA: 2002JP-0132675 (May 8, 2002)

Search Selected

Search ALL

Clear

PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC



JP 2003324326 A

November 14, 2003

005

H03F003/60

APPLICATION-DATA:

PUB-NO

APPL-DATE

APPL-NO

DESCRIPTOR

JP2003324326A

May 8, 2002

2002JP-0132675

INT-CL (IPC): H03 F 3/60; H03 G 3/30

ABSTRACTED-PUB-NO: JP2003324326A

BASIC-ABSTRACT:

NOVELTY - The amplifier (1) consists of a coupler integrated with a matching circuit (4) and arranged on a same substrate containing gallium arsenide chip (2).

USE - For mobile telephone, digital cellular telephone.

ADVANTAGE - Since coupler and matching circuit are integrated on same substrate, size reduction of the amplifier is achieved. Stable characteristics of the amplifier are obtained.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the high-frequency amplifier. (Drawing includes non- English language text).

amplifier 1

gallium arsenide chip 2

automatic power control circuit 3

matching circuit 4

input 5

output 6

control signal 7

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: HIGH FREQUENCY AMPLIFY MOBILE TELEPHONE CONSIST COUPLE INTEGRATE MATCH
CIRCUIT ARRANGE SUBSTRATE CONTAIN GALLIUM ARSENIDE CHIP

DERWENT-CLASS: U13 U24 W01

EPI-CODES: U13-E02; U24-G01D; U24-G04M; W01-C01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2003-696591

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-324326

(P2003-324326A)

(43) 公開日 平成15年11月14日 (2003. 11. 14)

(51) Int. Cl.

識別記号

F I

テーマコード(参考)

H 0 3 F 3/60

H 0 3 F 3/60

5 J 0 6 7

H 0 3 G 3/30

H 0 3 G 3/30

B 5 J 1 0 0

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2002-132675(P2002-132675)

(22) 出願日 平成14年 5 月 8 日 (2002. 5. 8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 立岡 一樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 牧原 弘和

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

最終頁に続く

(54) 【発明の名称】 高周波増幅装置

(57) 【要約】

【課題】 基板上に占める実装面積の小さい、高効率特性の高周波増幅器を得る。また、さらに、制御用 IC を含む APC 機能付の高周波増幅器一体化モジュールとすることもできる。

【解決手段】 トランジスタの形成された GaAs チップ 2 と出力側の整合回路と出力分配用のカプラ回路のブロック 4、ブロック 4 から分配された出力とベースバンド IC からの出力制御信号 7 を比較し高周波増幅回路のバイアス回路に制御信号を与える APC-IC 3 ととからなり、APC-IC 3 は、カプラの出力信号を検波・増幅する回路 8 と制御信号を増幅する回路 9、およびそれらを比較演算しバイアス回路に制御信号を与える回路 10、増幅器にバイアスを与える回路 11 からなる。

1 カプラー一体化高周波増幅器

2 GaAs チップ

3 APC-IC

4 出力整合回路+カプラ

5 高周波信号入力

6 高周波信号出力

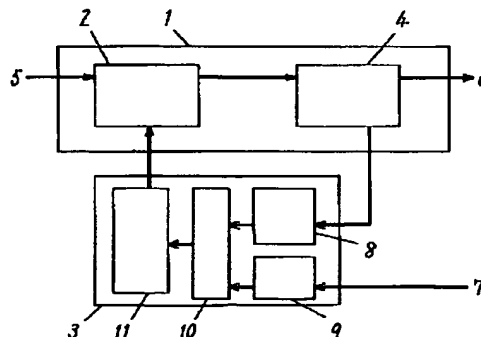
7 出力制御信号

8 検波および増幅回路

9 制御信号増幅回路

10 演算回路

11 バイアス回路



【特許請求の範囲】

【請求項1】 トランジスタが形成された半導体チップと、前記半導体チップから高周波電力を出力するための整合回路と、前記整合回路によって取り出された前記高周波電力の一部を分配する分配回路とが同一のセラミックまたは樹脂の基板上に構成されていることを特徴とする高周波増幅装置。

【請求項2】 整合回路の一部に分配回路が形成されていることを特徴とする請求項1記載の高周波増幅装置。

【請求項3】 トランジスタが形成された第一の半導体チップと、前記トランジスタから高周波電力を出力するための整合回路と、前記整合回路によって取り出された高周波出力電力の一部を分配する分配回路と、外部からの出力制御信号を増幅する制御信号増幅回路と前記トランジスタの高周波出力電力の分配された信号を検波する検波回路および該検波回路の検波出力を増幅する検波出力増幅回路と、前記制御信号増幅回路及び検波出力増幅回路からの各々の増幅信号を比較演算しその結果に応じた信号を出力する演算回路と、前記演算回路からの出力に基づいて前記トランジスタにバイアス電圧またはバイアス電流を与えるバイアス回路を形成した第二の半導体チップとを有し、前記第一の半導体チップと前記第二の半導体チップと前記整合回路と前記分配回路とが同一のセラミックまたは樹脂の基板上に形成されていることを特徴とする高周波増幅装置。

【請求項4】 整合回路の一部に分配回路が形成されていることを特徴とする請求項3記載の高周波増幅装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタ(FET)またはバイポーラトランジスタを用いた高周波増幅装置に関するものである。

【0002】

【従来の技術】携帯電話用(特に欧州のデジタル携帯電話用)高周波増幅器の出力電力を外部からの信号を用いて制御する方法として、出力電力の一部をカプラ等の分配回路を用いてモニターし、前記の制御信号とこのモニター出力とを比較してその差分に応じた信号を発生させて高周波増幅器のバイアス回路を制御し出力電力を変える方法がある。すなわち、高周波増幅器とカプラと制御回路とバイアス回路等でループを形成し制御する。

【0003】従来の技術では、高周波増幅器は増幅素子と整合回路が必要で高出力かつ高効率の特性を得るためにモジュールとして構成され、演算回路等を含む制御用IC(APC-IC:Automatic Power Control IC)は別パッケージで構成され、カプラを含めた各部品が携帯電話のプリント基板上に実装される形態で出力回路が構成されていた。

【0004】

【発明が解決しようとする課題】上記従来の出力回路ブ

ロックの構成では、各部品を別々に形成し周辺回路も含めてセットの基板上に構成するため、結果として出力回路部の占める実装面積が非常に大きくなってしまいうという欠点があった。

【0005】特に、高周波出力を取り出すための整合回路は増幅器のモジュール内に形成され、その出力を検波回路に分配するカプラは別の部品としてセット基板に実装されていたため、セットの出力までの間に整合回路とカプラの両方の高周波損失が生じるため効率が悪く、また、セット基板上で両回路の占有する面積が大きいという課題があった。

【0006】本発明の目的は、小型で高効率の高周波増幅器を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明の高周波増幅器は、高周波増幅素子と整合回路と出力分配回路(カプラ)を同一の基板上に形成した一体化モジュールとしたものであり、小型でセット基板上に占める実装面積の小さい、高効率特性の高周波増幅器を得る。また、小型化については、さらに、制御用ICを含むAPC機能付の高周波増幅器一体化モジュールとすることもできる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0009】(実施の形態1)図1に、本発明における第1の実施の形態の高周波増幅器の回路構成を示す。この増幅装置は、電界効果トランジスタまたはバイポーラトランジスタの形成されたGaAsチップ2と出力側の整合回路と出力分配用のカプラ回路のブロック4、さらに入力および段間等の整合回路の形成されたカプラ一体化高周波増幅器モジュール1からなる。

【0010】実際の携帯電話のセットにおいては、ブロック4から分配された出力とベースバンドICからの出力制御信号7を比較し高周波増幅回路のバイアス回路に制御信号を与えるAPC-IC3と組み合わせて使用される。APC-IC3では、カプラの出力信号を検波・増幅する回路8と制御信号を増幅する回路9、およびそれらを比較演算しバイアス回路に制御信号を与える回路10、増幅器にバイアスを与える回路11からなる。バイアス回路は、高周波増幅器のモジュール側に形成されていても構わない。

【0011】図2は図1のカプラ一体化高周波増幅器1のブロック図である。ここでは、2段のバイポーラトランジスタの例を示している。

【0012】図2において17のブロックは出力の整合回路とカプラの機能を有する部分であり、図3にその回路図を示す。

【0013】後段増幅素子の出力23から、カプラ一体化高周波増幅モジュールの出力18にかけて、マイクロ

ストリップライン27と並列コンデンサから成る出力整合回路24が形成され、さらにその一部がカブラ回路25の一部を形成する構造になっている。

【0014】従来、カブラ回路は増幅器モジュールの外部に形成されていたため、図4に示すように、整合回路24とカブラ回路25およびカブラ回路の一部を成すマイクロストリップライン27aは、別々の回路となっていた。すなわち、整合回路は増幅器モジュールの中に形成され、カブラ回路は別部品として、それぞれが携帯電話の基板上に実装されていた。この場合、部品実装の面積が大きくなるとともに、マイクロストリップラインのトータルの長さが長くなるため高周波信号の損失が大きくなり、結果として携帯電話の送信部の効率低下を招いていた。

【0015】一方、本発明のカブラ一体化増幅器ではカブラ回路が整合回路の一部となっているため、回路規模の小さい、すなわちマイクロストリップラインの長さが短く低損失の出力回路を形成することができ、小型で高効率の送信回路を実現することができる。

【0016】図5は、本発明における第2の実施の形態の高周波増幅器の回路構成である。この実施の形態においては、APC-ICのSiチップは誘電体基板28に実装され、高周波増幅素子のGaAsチップ2および出力整合回路とカブラ部と同一の基板上に形成されモジュール化されている。

【0017】この構成にすると、出力整合回路とカブラ部の面積が小さくなるだけでなく、Siチップのパッケージが不要となるため、さらに携帯電話の送信部の実装面積を小型化できる。また、カブラ出力と検波回路8の間にも高周波整合回路が必要であるが、本発明の一体化モジュールでは予め特性の調整をモジュール内で行うことができる。すなわち、APC-ICを含めた高周波増幅・出力制御のシステムの機能を、一体設計しモジュールとして集積化することができ、特性の安定した優れた特性の送信部の部品を提供することができる。

【0018】図6は、従来の送信部のブロック図であるが、高周波増幅器モジュール、APC-IC回路、カブラが別々の部品として構成されているため、送信部の占

有面積が大きいだけでなく、部品のバラツキを含めた設計を携帯電話セット側で行う必要があり、設計が困難であった。

【0019】さらに第一の実施の形態では図2に示すように2段増幅器の例で説明しているが、1段であっても、3段以上の増幅器でも同様の効果が得られることはいうまでもない。

【0020】

【発明の効果】以上のように、本発明の高周波増幅器を形成すれば、従来の各部品を別々に構成するという手法では得ることのできない小型・高効率で安定した特性を有する高周波増幅器を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の高周波増幅器のブロック図(1)

【図2】本発明の第1の実施の形態の高周波増幅器のブロック図(2)

【図3】本発明の第1の実施の形態の高周波増幅器の出力整合回路およびカブラ回路図

【図4】従来の高周波増幅器の出力整合回路およびカブラ回路図

【図5】本発明の第2の実施の形態のAPC-IC一体型高周波増幅器のブロック図

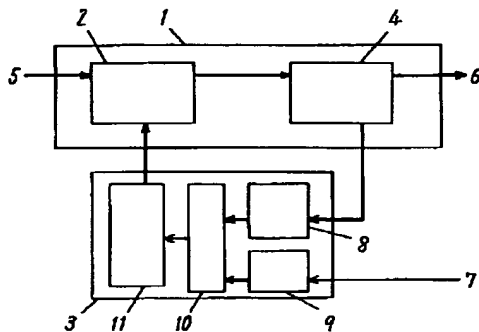
【図6】従来のAPC-ICとカブラと高周波増幅器のブロック図

【符号の説明】

- 1 カブラ一体化高周波増幅器
- 2 GaAsチップ
- 3 APC-IC
- 4 出力整合回路+カブラ
- 5 高周波信号入力
- 6 高周波信号出力
- 7 出力制御信号
- 8 検波および増幅回路
- 9 制御信号増幅回路
- 10 演算回路
- 11 バイアス回路

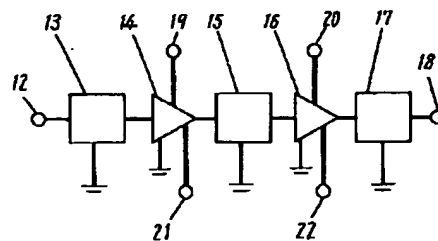
【図1】

- 1 カプラー一体化高周波増幅器
- 2 GaAsチップ
- 3 APC-IC
- 4 出力整合回路+カブラ
- 5 高周波信号入力
- 6 高周波信号出力
- 7 出力制御信号
- 8 検波および増幅回路
- 9 制御信号増幅回路
- 10 演算回路
- 11 バイアス回路



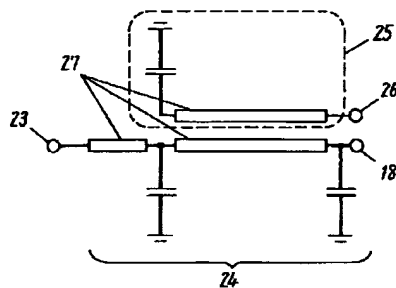
【図2】

- 12 入力端子
- 13 入力整合回路
- 14 前段増幅素子
- 15 段間整合回路
- 16 後段増幅素子
- 17 出力整合回路+カブラ
- 18 出力端子
- 19 前段増幅素子コレクタバイアス素子
- 20 後段増幅素子コレクタバイアス素子
- 21 前段増幅素子ベースバイアス端子
- 22 後段増幅素子ベースバイアス端子



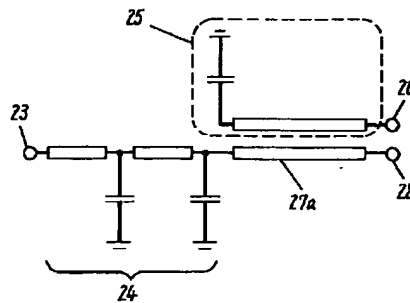
【図3】

- 18 出力端子
- 23 後段増幅素子の出力
- 24 出力整合回路
- 25 カブラ
- 26 カブラ出力
- 27 マイクロストリップライン



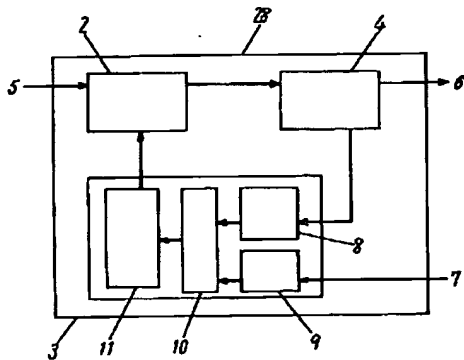
【図4】

- 18 出力端子
- 23 後段増幅素子の出力
- 24 出力整合回路
- 27a マイクロストリップライン



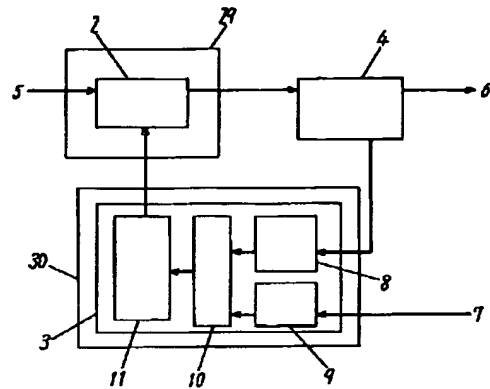
【図5】

- | | |
|-----------------|-------------|
| 2 GaAsチップ | 8 検波および増幅回路 |
| 3 Siチップ(APC-IC) | 9 制御信号増幅回路 |
| 4 出力整合回路+カプラ | 10 演算回路 |
| 5 高周波信号入力 | 11 バイアス回路 |
| 6 高周波信号出力 | 28 誘電体基板 |
| 7 出力制御信号 | |



【図6】

- | | |
|-----------------|-------------------|
| 2 GaAsチップ | 8 検波および増幅回路 |
| 3 Siチップ(APC-IC) | 9 制御信号増幅回路 |
| 4 カプラ | 10 演算回路 |
| 5 高周波信号入力 | 11 バイアス回路 |
| 6 高周波信号出力 | 29 高周波増幅器モジュール |
| 7 出力制御信号 | 30 APC-IC (パッケージ) |



フロントページの続き

Fターム(参考) 5J067 AA04 CA36 CA92 FA16 HA09
 HA24 HA29 KA12 KA29 KA33
 KA55 KA66 KA68 KS18 LS12
 MA11 SA13 TA01
 5J100 JA01 LA00 QA01 SA01